

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication : 2 636 151  
(à utiliser que pour les  
commandes de reproduction)

(21) N° d'enregistrement national : 88 11496

(51) Int Cl<sup>e</sup> : G 06 F 11/16.

(12)

BREVET D'INVENTION 22

B1

(54) DISPOSITIF DE DETECTION ET DE CORRECTION D'ERREURS DE DONNEES POUR BUS DE  
TRANSMISSION EN PARALLELE REpondant TRIPLE

(22) Date de dépôt : 02.09.88.

(30) Priorité :

(43) Date de la mise à disposition du public  
de la demande : 09.03.90 Bulletin 90/10.

(45) Date de la mise à disposition du public du  
brevet d'invention : 12.10.90 Bulletin 90/41.

(56) Liste des documents cités dans le rapport  
de recherche :

*Se reporter à la fin du présent fascicule*

(60) Références à d'autres documents nationaux  
apparentés :

(71) Demandeur(s) : Société dite : THOMSON-  
CSF, Société anonyme. -FR.

(72) Inventeur(s) : JEAN-PAUL PETROLI,  
(THOMSON-CSF S.C.P.I.)

(73) Titulaire(s) :

(74) Mandataire(s) : ROGER TROCELLIER,  
THOMSON-CSF, S.C.P.I.

FR 2 636 151 - B1



# AVIS DOCUMENTAIRE

(art. 19 de la loi n°88-1 modifiée du 2 janvier 1968; art. 40 à 53 du décret n°79-822 du 19 septembre 1979)

N°

Elabli par :

l'Institut national de la propriété industrielle

## OBJET DE L'AVIS DOCUMENTAIRE

■ Conférant à son titulaire le droit exclusif d'exploiter l'invention, le brevet constitue pour les tiers, une importante exception à la liberté d'entreprendre. C'est la raison pour laquelle la loi prévoit qu'un brevet n'est valable que si, entre autres conditions, l'invention :

- est "nouvelle", c'est-à-dire n'a pas été rendue publique en quelque lieu que ce soit, avant sa date de dépôt,
- implique une "activité inventive", c'est-à-dire dépasse le cadre de ce qui aurait été évident pour un homme du métier.

■ L'Institut n'est pas habilité, sauf absence manifeste de nouveauté, à refuser un brevet pour une invention ne répondant pas aux conditions ci-dessus. C'est aux tribunaux qu'il appartient d'en prononcer la nullité à la demande de toute personne intéressée, par exemple à l'occasion d'une action en contrefaçon. L'Institut est toutefois chargé d'annexer à chaque brevet un "AVIS DOCUMENTAIRE" destiné à éclairer le public et les tribunaux sur les antériorités susceptibles de s'opposer à la validité du brevet.

## CONDITIONS D'ETABLISSEMENT DU PRESENT AVIS

■ Il a été établi sur la base des "revendications" dont la fonction est de définir les points sur lesquels l'inventeur estime avoir fait œuvre inventive et entend en conséquence être protégé.

■ Il a été établi à l'issue d'une procédure contradictoire (1) au cours de laquelle :

- ☒ le résultat d'une recherche d'antériorités effectuée parmi les brevets et autres publications a été notifié au demandeur et rendu public.
- ☐ les tiers ont présenté des observations visant à compléter le résultat de la recherche
- ☐ le demandeur a modifié les revendications pour tenir compte du résultat de cette recherche
- ☐ le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.
- ☐ le demandeur a présenté des observations pour justifier sa position.

## EXAMEN DES ANTERIORITES

- ☐ Cet examen n'a pas été nécessaire, car aucun brevet ou autre publication n'a été relevé en cours de procédure.
- ☐ Les brevets et autres publications (1), ci-après, cités en cours de procédure, n'ont pas été examinés car pour être efficace, cet examen suppose au préalable une vérification des priorités (2) :

- ☐ Les brevets et autres publications (1) ci-après, cités en cours de procédure, n'ont pas été retenus comme antériorités :

MICROPROCESSING AND MICROPROGRAMMING, vol. 24, n° 1-5, 29 août-1er. sept. 1978, p. 325-330.

3RD USA-JAPAN COMPUTER CONFERENCE PROCEEDINGS, 10-12 oct. 1978, p. 325-330.

## CONCLUSION : EN L'ETAT, AUCUNE ANTERIORITE N'A ETE RETENUE

(1) - Les pièces du dossier, ainsi que les brevets et autres publications cités, peuvent être consultés à l'INPI ou délivrés en copie.

(2) - Tout renseignement peut être obtenu de l'INPI : demander l'aide-mémoire "Intercalaires et Interférences".

La présente invention est relative à un dispositif de détection et de correction d'erreurs de données pour bus de transmission en parallèle redondant triplé, plus particulièrement destiné à des calculateurs à tolérance de panne.

Dans l'ouvrage intitulé "The Theory and Practice of Reliable System Design", auteurs : Daniel P. Sieworek et Robert S. Swarz, édité aux USA par Digital Press, on décrit aux pages 114 et suivantes (figure 3-46) un tel dispositif opérant sur des données transmises par des lignes redondantes triplées, et constitué essentiellement de trois "voters". Suivant la terminologie anglo-saxonne, on désigne par "voter" un organe de sélection associé à plusieurs lignes ou bus d'entrée redondantes et à un bus de sortie, comprenant des moyens de sélection d'un des bus d'entrée à partir de comparaisons opérées sur les données redondantes présentes sur l'ensemble des bus d'entrée, et d'un traitement des résultats des comparaisons suivant la procédure dite du "vote majoritaire", les données présentes sur le bus d'entrée ainsi sélectionné étant transmises sur le bus de sortie du "voter", que l'on appellera dans la suite "sélecteur". Une telle procédure permet d'identifier un ou plusieurs bus d'entrée en défaut pour ne transmettre sur le bus de sortie d'un sélecteur qu'une donnée considérée comme correcte.

Les trois "voters" ou sélecteurs du dispositif décrit ci-dessus opèrent en parallèle, de manière indépendante. Il en résulte que ce dispositif n'est pas immunisé contre une défaillance éventuelle d'un sélecteur. En outre les sélecteurs de ce dispositif sont conçus de telle manière que ce dernier ne peut être installé que sur un bus unidirectionnel.

La présente invention a pour but de supprimer ces inconvénients en permettant de réaliser un dispositif de détection et de correction d'erreurs de données pour bus de transmission en parallèle redondant triplé, comprenant

des sélecteurs agencés pour exécuter des fonctions d'autosurveillance et pour autoriser la détection et la correction d'erreurs de données sur un bus unidirectionnel ou bidirectionnel.

5        La présente invention a aussi pour but de réaliser un tel dispositif comprenant des moyens de détection d'un sélecteur en erreur.

10        La présente invention a encore pour but de réaliser un tel dispositif comprenant des moyens permettant de faire fonctionner sélectivement l'un quelconque des sélecteurs en mode "bloqué" suivant lequel celui-ci reste connecté sur un bus prédéterminé pour des besoins de mise au point ou de fonctionnement en multiprocesseur d'un

15        La présente invention a également pour but de réaliser un tel dispositif capable de fonctionner en mode "rétroactif" comprenant des moyens pour reporter la donnée d'un bus d'entrée d'un sélecteur sur un autre bus d'entrée de ce sélecteur de manière à localiser un bus d'entrée défaillant d'un sélecteur du dispositif suivant

20        l'invention.

On atteint ces buts de l'invention, ainsi que d'autres qui apparaîtront dans la suite, avec un dispositif de détection et de correction d'erreurs de données pour bus de transmission en parallèle redondant

25        triplé, du type qui comprend des premier, deuxième et troisième bus d'entrée redondants transmettant chacun les données à des premier, deuxième et troisième sélecteurs respectivement, pour la détection d'erreurs dans les données reçues et la correction des données transmises à

30        des premier, deuxième et troisième bus de sortie connectés respectivement aux premier, deuxième et troisième sélecteurs. Suivant l'invention, chaque sélecteur est connecté à un bus d'entrée d'un des deux autres sélecteurs

35        et au bus de sortie de l'autre de ces deux sélecteurs et comprend des moyens de comparaison pour comparer deux à deux les données présentes sur les deux bus d'entrée et

## 3.

sur le bus de sortie, ces moyens de comparaison délivrant des signaux de comparaison à un réseau de logique combinatoire qui forme un signal d'état d'observation par vote majoritaire, ce réseau de logique combinatoire étant  
5 lui-même alimenté par les signaux d'état d'observation délivrés par les deux autres sélecteurs pour lever une indétermination éventuelle du résultat de ce vote et pour commander la transmission sur le bus de sortie du sélecteur associé d'une donnée présente sur l'un des deux  
10 bus d'entrée, choisi par ladite procédure de vote majoritaire.

Ce dispositif comprend des moyens de détection d'un sélecteur introduisant une erreur dans la donnée transmise à son bus de sortie et des moyens sensibles à une telle  
15 détection pour commander la mise en oeuvre de moyens de remplacement d'un sélecteur défaillant.

Le dispositif comprend encore des moyens pour connecter sélectivement chaque sélecteur à son bus d'entrée et pour déconnecter simultanément son bus de  
20 sortie ou inversement, ces moyens étant mis en oeuvre pour assurer la détection et la correction d'erreurs de données dans un sens de circulation des données dans le bus respectivement.

Des moyens de commande du fonctionnement du  
25 dispositif suivant l'invention en mode "bloqué" permettent d'alimenter sélectivement un bus de sortie prédéterminé d'un sélecteur avec les données présentes sur un bus d'entrée prédéterminé.

Des moyens de commande du fonctionnement du  
30 dispositif suivant l'invention en mode "rétroactif" permettent de transférer sur un bus d'entrée d'un sélecteur, une donnée présente sur un autre bus d'entrée connecté à ce sélecteur de manière à localiser un bus d'entrée défectueux par un test interne exécuté par un  
35 calculateur délivrant des données à ce bus d'entrée.

Au dessin annexé, donné seulement à titre d'exemple :

- la figure 1 est un schéma fonctionnel du dispositif de détection et de correction d'erreurs suivant l'invention,

5 - la figure 2 est un schéma fonctionnel d'un des trois sélecteurs identiques incorporés au dispositif de la figure 1,

- la figure 3 est un tableau des détections et corrections d'erreurs exécutées par le dispositif suivant l'invention et,

10 - la figure 4 est un diagramme temporel de signaux, utile à l'explication du fonctionnement dynamique du dispositif suivant l'invention.

On se réfère à la figure 1 du dessin annexé où il apparaît que le dispositif de détection et de correction d'erreurs suivant l'invention comprend des premier, 15 deuxième et troisième sélecteurs 1, 2, 3 respectivement, ces sélecteurs étant constitués par des "voters" au sens anglo-saxon du terme, tel qu'il est utilisé dans l'ouvrage cité en préambule. Des premier, deuxième et troisième bus 20 "d'entrée" I1, I2, I3 respectivement et des premier, deuxième et troisième bus de "sortie" S1, S2, S3 sont connectés respectivement aux sélecteurs 1, 2 et 3. Les bus "d'entrée" et de "sortie" sont bidirectionnels, comme représenté au dessin et il est donc entendu que les 25 qualifications "d'entrée" et de "sortie" devraient être échangés entre ces bus, dans l'hypothèse d'un renversement du sens de circulation des données dans ces bus par rapport à celui choisi sur la figure. Des bus de commande B1, B2, B3 sont connectés aux sélecteurs 1, 2, 3 30 respectivement pour assurer la commande de ces sélecteurs. Des bus d'état externes unidirectionnels EE1, EE2, EE3 transmettant des signaux ou "mots" d'observation d'état à des organes extérieurs aux sélecteurs 1, 2, 3, pour des buts qui seront explicités dans la suite. Des paires de 35 bus d'état internes unidirectionnels de sens opposés B13, B12 et B23 assurent des communications internes entre les sélecteurs 1, 2 et 3.

Les bus d'entrée I1, I2 et I3 et de sortie S1, S2, S3 constituent en fait des parties d'un bus redondant triplé, par exemple de 96 lignes, transmettant en redondance sur les paires de bus I1, S1 ; I2, S2 ; I3, S3 des mots de 32 bits.

Bien entendu l'invention n'est pas limitée à des bus convoyant des mots de cette longueur et pourrait être adaptée à des mots de toutes autres longueurs, 4, 8 ou 16 bits par exemple.

Sur la figure 1 on remarque encore que chaque sélecteur est connecté à un bus d'entrée d'un des deux autres sélecteurs et au bus de sortie de l'autre de ces deux sélecteurs. Ainsi par exemple le sélecteur 1 est-il connecté, à l'entrée, aux bus I1 et I2 et, à la sortie, aux bus S1 et S3. Le sélecteur 2 est connecté aux bus I2 et I3 et aux bus S2 et S1. Le sélecteur 3 est connecté aux bus I3 et I1 et aux bus S3 et S2. On remarquera que cette configuration de connexions de bus assure au dispositif suivant l'invention une symétrie complète qui, comme on le verra plus loin, autorise un fonctionnement bidirectionnel de ce dispositif.

Par ailleurs les trois sélecteurs sont de structure identique, conforme à celle du sélecteur S1 représenté en détail à la figure 2.

On se réfère maintenant à cette figure 2 pour décrire en plus de détail la structure et le fonctionnement d'un des trois sélecteurs identiques 1, 2 et 3 du dispositif suivant l'invention, le sélecteur 1 étant choisi pour cette description.

On retrouve sur la figure 2 les bus I1, I2, S1, S3, B12 et B13 mentionnés en liaison avec la description de la figure 1. Il s'agit, pour chaque sélecteur de déterminer celui de ses deux bus d'entrée dont l'état sera recopié sur le bus de sortie, et ceci dans les deux sens de circulation des données. Par exemple, pour le sélecteur 1 de la figure 2, les données circulant dans un sens tel que les bus I1 et I2 jouent le rôle de bus d'entrée, il s'agit

de déterminer celui de ces deux bus dont l'état sera recopié sur le bus de sortie S1. Pour ce but on réalise diverses comparaisons entre les états de ces trois bus à l'aide de moyens de comparaison constitués par des comparateurs logiques C1, C2, C3, C4 et C5 connectés respectivement aux bus I1 et I2, I1 et S3, S3 et S1, I2 et S3 et I2 et S1. On notera que, dans chaque sens de circulation des données, on n'utilise que trois des cinq comparateurs, ce qui est suffisant pour comparer 3 bus (deux d'entrée et un de sortie).

Le sélecteur comprend encore des multiplexeurs M1 et M2. Le multiplexeur M1 est connecté à son entrée aux bus S1 et S3 et à sa sortie au bus I1. Il est commandé de manière à transmettre, sur le bus I1, la donnée présente soit sur le bus S1 soit sur le bus S3. De même le multiplexeur M2 est connecté à son entrée aux bus I1 et I2 et à sa sortie au bus S1 pour transmettre sur ce bus soit la donnée présente sur I1, soit la donnée présente sur I2.

Un réseau de logique combinatoire 4 traite les informations reçues des comparateurs actifs du sélecteur 1 par la procédure du vote majoritaire "2 sur 3" et combine ce traitement aux résultats des traitements similaires parallèlement exécutés par les sélecteurs 2 et 3, ces résultats parvenant au réseau 4 par les bus "entrants" des paires de bus B12 et B13.

Le réseau de logique combinatoire est commandé par le bus de commande B1, comme on l'a vu plus haut en liaison avec la description de la figure 1. Sur la figure 2 il apparaît que ce bus comprend plusieurs lignes de destinations distinctes, à savoir une ligne de commande de "TEST", une ligne de commande de "DIRECTION" et deux lignes de commande de "MODE".

La commande de TEST met le réseau 4 en configuration d'exécution des comparaisons des données sur bus et de vote majoritaire, préalable à la sélection d'un bus d'entrée dont les données sont à reporter sur le bus de



sortie d'un sélecteur.

La commande de "DIRECTION" informe le réseau du sens de circulation des données dans les bus pour que ce réseau puisse identifier, par exemple, les bus I1 et I2 comme  
5 étant les bus d'entrée et le bus S1 comme étant le bus de sortie ou, inversement, les bus S1 et S3 comme bus d'entrée et le bus I1 comme bus de sortie.

La commande de "mode", à 2 fils informe le réseau 4 du mode de fonctionnement choisi pour le sélecteur soit :

10 - un mode de fonctionnement "NORMAL" qui organise le processus de comparaison/sélection de bus conçu pour la détection et la correction d'erreurs de données suivant la présente invention,

- un mode de fonctionnement "BLOQUE", dans lequel le  
15 sélecteur exécute les comparaisons et sélections comme dans le mode NORMAL tout en restant connecté sur un bus imposé. Ce mode de fonctionnement peut être utile lors de la mise au point du dispositif suivant l'invention ou lors d'un fonctionnement en multiprocesseur d'un ordinateur  
20 formant partie de ce dispositif,

- un mode de fonctionnement "RETROACTIF", suivant lequel on ramène sur le bus d'entrée du sélecteur la donnée qui se trouve sur l'autre bus d'entrée. Ce mode sert à localiser une sortie défectueuse d'un  
25 microprocesseur par exemple, connectée à un bus d'entrée du dispositif suivant l'invention. On fait tester alors par le microprocesseur lui-même, la conformité des informations sur les bus à celles engendrées par le microprocesseur par des moyens internes. Il faut alors  
30 utiliser un microprocesseur dont la sortie peut être configurée en entrée pour procéder à cette comparaison interne. Un microprocesseur de ce type est conçu pour fonctionner en mode maître ou esclave dans une configuration monobus et multiprocesseur.

35 Il est clair que le bouclage d'une entrée sur l'autre peut être obtenu aisément par une commande adéquate des multiplexeurs M1 et M2.

Ainsi il apparaît que le sélecteur du dispositif suivant l'invention est conçu pour fonctionner suivant trois modes différents, ce qui explique que deux lignes soient nécessaires pour transmettre l'information "mode" au sélecteur.

Un registre 5 est connecté au réseau logique 4 par un bus à sept fils. Ce bus sert à charger le registre 5 avec diverses commandes élaborées par le réseau, à la suite du processus de comparaison/sélection de bus. Les commandes sortent du registre pour actionner divers organes du sélecteur, au basculement du signal "TEST" comme on le verra plus loin. Les commandes concernées sont :

- les commandes des multiplexeurs M1 et M2,
- les commandes d'actionnement d'interrupteurs D1 et D2 montés en sortie des multiplexeurs M1 et M2, respectivement.

Ces interrupteurs, qui peuvent prendre chacun la forme d'un "buffer trois états", servent à définir les multiplexeurs actifs, en fonction du sens de circulation des informations dans les bus. Par exemple si les informations circulent de I1 ou I2 vers S1, l'interrupteur D1 est commandé pour couper le bus I1 et empêcher ainsi le fonctionnement du multiplexeur M1. Dans l'autre sens, les informations circulant de S1 ou S3 vers I1, l'interrupteur D2 coupe en phase de comparaison le bus S1 pour empêcher le fonctionnement du multiplexeur M2. Dans les deux sens de circulation, ces interrupteurs empêchent une rétroaction entre les sorties des multiplexeurs.

- la commande du bus d'état externe EE1 à trois lignes sur lequel sont placés des "mots" d'état relatifs à :

- l'identification d'un éventuel bus en erreur,
- des incohérences éventuelles relevées entre des observations des sélecteurs.

On va maintenant décrire le fonctionnement du dispositif suivant l'invention notamment en liaison avec

le tableau de la figure 3 et le diagramme temporel de la figure 4. Dans le tableau de la figure 3 on désigne par :

V, une valeur correcte de la donnée présente sur un bus,

5 E, une erreur quelconque,

E1, E2, des erreurs particulières sur un bus d'entrée, qui se reproduisent sur un ou plusieurs bus de sortie,

10 une astérisque sur le repère I1, I2 ou I3 d'un bus d'entrée d'un sélecteur indique que la sélection de ce bus exige le résultat des observations de l'un des deux autres sélecteurs.

En phase de test chaque sélecteur du dispositif suivant l'invention procède tout d'abord à des comparaisons de données sur deux bus d'entrée et un bus de  
15 sortie. De ces comparaisons il résulte l'identification de 5 situations :

1 situation correspondant à la détection de 3 égalités,

20 3 situations correspondant chacune à la détection de 1 égalité,

1 situation correspondant à la détection de 0 égalité.

Des mots identifiant chacune de ces cinq situations  
25 sont placés sur les bus d'état internes "sortants" à 3 fils pour l'information des deux autres sélecteurs. Ces informations seront utilisées par chaque sélecteur pour lever une indétermination éventuelle dans la sélection du bus d'entrée à connecter au bus de sortie,  
30 indétermination résultant des observations propres de chaque sélecteur quand celles-ci ne permettent pas de sélectionner un bus d'entrée par le processus de vote majoritaire.

On a réuni dans les six colonnes de gauche du  
35 tableau de la figure 3, diverses combinaisons d'états des données présentes sur les bus d'entrée et de sortie. Les trois colonnes suivantes indiquent le bus sélectionné par

chacun des sélecteurs 1, 2, 3 pour le report de donnée sur le bus de sortie S1, S2, S3 respectivement. Ainsi on connecte sur le bus de sortie S1 du sélecteur 1 soit le bus I1, soit le bus I2. Quand les comparaisons effectuées par le sélecteur 1 font apparaître une égalité entre les données sur les bus d'entrée I1 et I2, I1 est automatiquement sélectionné pour alimenter le bus de sortie S1. Si le bus I2 est en erreur (E1) mais que la comparaison I1/I3 réalisée par le sélecteur 3 indique une égalité, la donnée sur I1 est choisie pour être copiée sur S1. Dans le même temps, le bus de sortie S2 du sélecteur 2 est connecté au bus d'entrée I3 de ce sélecteur plutôt qu'au bus d'entrée I2 en erreur. Toutes les opérations de logique combinatoire nécessaires à la détermination du bus d'entrée qui porte la donnée à reporter sur le bus de sortie sont exécutées par le réseau de logique combinatoire incorporé à chaque sélecteur. Ce réseau utilise à la fois les résultats des comparaisons réalisées par le sélecteur auquel il est attaché, mais aussi les résultats des comparaisons réalisés par les autres sélecteurs, résultats qui lui sont communiqués par les bus d'état internes qui le relient aux deux autres sélecteurs. Les informations ainsi communiquées sont souvent nécessaires pour lever une indétermination résultant des seules comparaisons opérées par le sélecteur. Les situations conduisant à une telle indétermination sont celles qui correspondent, dans le tableau de la figure 3, à une indication de "bus sélectionné" assortie d'un astérisque. Ainsi, par exemple, à la ligne soulignée en trait interrompu dans ce tableau, la comparaison I1/I2 opérée par le sélecteur 1 indique une inégalité qui ne permet pas de choisir entre I1 et I2. Cependant l'égalité I1/I3 relevée par le sélecteur 3, permet de lever l'indétermination et de choisir I1, plutôt que I2, comme bus portant la donnée à reporter sur S1. De même I3 sera choisi pour la sortie S2 du sélecteur 2, à la place de I2 en erreur. I3 est conservé pour la sortie S3

du sélecteur 3.

La logique combinatoire aura ainsi détecté l'existence d'un bus I2 en erreur (E1), d'un sélecteur 2 induisant une erreur supplémentaire (E2) sur la sortie S2 et d'un deuxième sélecteur S3 induisant une erreur (E) sur son bus de sortie S3. Grâce au dispositif suivant l'invention on aura ainsi détecté deux sélecteurs en erreur, signalé par des mots d'état correspondants sur les bus d'état externes (EE1, EE2, EE3) des sélecteurs. On aura corrigé aussi, et surtout, la donnée sur la sortie S2 du sélecteur 2, qui aurait pu autrement être entachée de l'erreur existant sur le bus d'entrée I2.

Ainsi se trouve constitué un bus redondant triplé S1, S2, S3 débarrassé de l'erreur figurant dans le bus redondant triplé I1, I2, I3 connecté à l'entrée du dispositif de détection et de correction d'erreurs suivant l'invention.

Toutes les opérations de logique combinatoire nécessaires à la production des résultats figurant à chaque ligne du tableau de la figure 3 peuvent être mises en oeuvre aisément par l'homme de métier, à l'aide de ce tableau et de réseaux logiques, du commerce ou spécialisés, convenablement masqués par exemple, comme il est bien connu dans la technique.

Le diagramme temporel de la figure 4 illustre une séquence de signaux sur différents bus d'un sélecteur, nécessaires au fonctionnement de celui-ci, en phase de test (comparaison) puis en phase de sélection. A titre d'exemple, ces phases seront décrites pour le sélecteur 1 du dispositif suivant l'invention. Des phases semblables s'enchaînent sur les sélecteurs 2 et 3 respectivement.

Une phase de test du dispositif de détection et de correction d'erreurs est commandée par le basculement à l'état haut du niveau du signal logique sur la ligne "TEST" qui alimente à la fois le réseau logique 4 et le registre 5 (voir figure 2). La direction de circulation des données étant définie par le niveau du signal logique

sur la ligne "DIRECTION", le bus d'entrée I1 se stabilise à la nouvelle valeur de donnée reçue pendant l'intervalle de temps T1. Les comparateurs logiques C1, C2, C4 et C5 transmettent au réseau logique 4 les résultats des comparaisons effectuées. La logique combinatoire forme des mots d'état d'observation qui sont communiqués aux sélecteurs 2 et 3 par les bus d'état internes B12 et B13.

Pendant l'intervalle de temps T2, la logique combinatoire reçoit les mots d'état d'observation en provenance des sélecteurs 2 et 3 et prend connaissance de la direction du bus. Après un temps de propagation, elle forme un mot de 7 bits à mémoriser dans le registre 5 du sélecteur, avant le basculement vers le bas du signal TEST.

Pendant l'intervalle de temps T3, le registre 5 saisit le mot de 7 bits délivré par le réseau logique 4 et forme le mot d'état à transmettre sur le bus d'état externe EE1, ainsi que les signaux de commande des interrupteurs D1, D2 et des multiplexeurs M1 et M2 pour connecter le bus de sortie S1 à l'un ou l'autre des bus d'entrée I1 et I2.

Pendant l'intervalle de temps T4, les multiplexeurs se positionnent conformément à la commande et les interrupteurs basculent ou non. Si l'on utilise des "buffers trois états" ce basculement correspond à un passage de l'état "haute impédance" à l'état "basse impédance", ou inversement. Le bus d'entrée qui porte la donnée à reproduire sur le bus de sortie I2 est alors sélectionné.

Pendant l'intervalle de temps T5, le sélecteur 1 repasse en phase de test, le bus d'entrée sélectionné lors de la phase précédente étant utilisé alors à des fins d'autosurveillance, le cycle de fonctionnement décrit ci-dessus se répétant périodiquement.

Ainsi, le dispositif de détection et de correction d'erreurs suivant l'invention permet-il de purger les bus de sortie d'erreurs présentes sur un ou plusieurs bus

d'entrée. Si l'on compare les colonnes "bus en erreur" et "correction d'erreur" du tableau de la figure 3, on constate que, dans la plupart des cas, une erreur sur un bus est corrigée.

5        Seules quelques situations rares et improbables échappent à la correction. Ce sont celles pour lesquelles il y a plus d'un bus en erreur (voir les trois dernières lignes du tableau) ou trois sélecteurs en erreur. On notera que la notation "-1" figurant dans la colonne  
10 "correction d'erreur" correspond à une situation exceptionnelle (deux bus en erreur) provoquant une erreur supplémentaire introduite par le dispositif.

On remarquera aussi que le dispositif suivant l'invention permet de détecter le ou les sélecteurs  
15 introduisant des erreurs, sans corriger, évidemment, l'erreur ainsi introduite. Cette détection est cependant utile à la mise en oeuvre de procédure et de moyens de remplacement de sélecteurs défaillants.

Dans tout ce qui précède on a présenté I1, I2 et I3  
20 comme étant des bus "d'entrée" et S1, S2, S3 des bus de "sortie". Il est clair cependant, comme on l'a vu plus haut, que les rôles de ces bus peuvent être inversés de manière à assurer un fonctionnement bidirectionnel du bus redondant surveillé par le dispositif suivant l'invention,  
25 aussi bien qu'un fonctionnement unidirectionnel.

L'invention est particulièrement utile à la détection et la correction d'erreurs dans des bus de transmission de données en parallèle pour calculateurs à tolérance de pannes mais il est clair qu'elle pourrait  
30 trouver tout aussi bien application à des bus de commande internes à de tels calculateurs.

En outre, l'invention est immédiatement transposable à des bus de transmission de données en série.

Dans le dispositif suivant l'invention, la séquence  
35 test-sélection est systématique à chaque transfert de donnée. On obtient ainsi une reconfiguration matérielle dynamique du bus sans dégradation de ses performances,

c'est-à-dire sans introduction des périodes de reconfiguration.

On remarquera que, contrairement à ce qui se passe dans le dispositif de correction d'erreurs de la technique antérieure, décrit en préambule de la présente description, où chaque sélecteur exécute une procédure de vote majoritaire indépendante des procédures parallèles exécutées par les deux autres, la procédure exécutée par le dispositif suivant l'invention repose sur la cohérence des observations faites par chaque sélecteur. En outre chaque sélecteur compare deux bus d'entrée et un bus de sortie, un bus d'état interne permettant aux sélecteurs d'échanger leurs observations. Cette disposition procure deux avantages essentiels, à savoir une immunité aux défaillances de sélecteurs et une possibilité de fonctionnement bidirectionnel, comme on l'a vu plus haut.



REVENDEICATIONS

1. Dispositif de détection et de correction d'erreurs de données pour bus de transmission en parallèle redondant triplé, du type qui comprend des premier, deuxième et troisième bus d'entrée redondants transmettant chacun les données à des premier, deuxième et troisième sélecteurs respectivement, pour la détection d'erreurs dans les données reçues et la correction des données transmises à des premier, deuxième et troisième bus de sortie connectés respectivement aux premier, deuxième et troisième sélecteurs, caractérisé en ce que chaque sélecteur (1 ; 2 ; 3) est connecté à un bus d'entrée d'un des deux autres sélecteurs et au bus de sortie de l'autre de ces deux sélecteurs et comprend des moyens de comparaison pour comparer deux à deux les données présentes sur les deux bus d'entrée et sur le bus de sortie, ces moyens de comparaison délivrant des signaux de comparaison à un réseau de logique combinatoire (4) qui forme un signal d'état d'observation par vote majoritaire, ce réseau de logique combinatoire étant lui-même alimenté par les signaux d'état d'observation délivrés par les deux autres sélecteurs pour lever une indétermination éventuelle du résultat de ce vote et pour commander la transmission sur le bus de sortie du sélecteur associé d'une donnée présente sur l'un des deux bus d'entrée, choisi par ladite procédure de vote majoritaire.

2. Dispositif conforme à la revendication 1, caractérisé en ce qu'il comprend des moyens de détection d'un sélecteur introduisant une erreur dans la donnée transmise à son bus de sortie et des moyens sensibles à une telle détection pour commander la mise en oeuvre de moyens de remplacement d'un sélecteur défaillant.

3. Dispositif conforme à l'une quelconque des revendications 1 et 2, caractérisé en ce qu'il comprend des moyens pour connecter sélectivement chaque sélecteur à son bus d'entrée et pour déconnecter simultanément son bus de sortie ou inversement, ces moyens étant mis en oeuvre

pour assurer la détection et la correction d'erreurs de données dans un sens de circulation des données dans les bus ou dans l'autre, respectivement.

4. Dispositif conforme à l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend des moyens de commande de son fonctionnement en mode bloqué, pour alimenter sélectivement le bus de sortie d'un sélecteur avec les données présentes sur un bus d'entrée prédéterminé.

5. Dispositif conforme à l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend des moyens de commande de son fonctionnement en mode rétroactif, pour transférer sur un des bus d'entrée d'un sélecteur prédéterminé une donnée présente sur l'autre bus d'entrée connecté à ce sélecteur de manière à localiser un bus d'entrée défectueux par un test interne exécuté par un calculateur délivrant des données à ce bus d'entrée.

6. Dispositif conforme à l'une quelconque des revendications 4 à 5, caractérisé en ce que le réseau de logique combinatoire est connecté, outre aux moyens de commande du mode de fonctionnement du dispositif, à des moyens de sélection du sens de circulation des données entre les bus d'entrée et les bus de sortie, et à des moyens de commande de test pour déclencher une séquence de détection et de correction d'erreurs.

7. Dispositif conforme à la revendication 6, caractérisé en ce qu'il comprend un registre (5) connecté à la sortie du réseau de logique combinatoire (4) pour conserver temporairement des informations de commande du dispositif et des informations d'état du dispositif.

8. Dispositif conforme à la revendication 7, caractérisé en ce qu'il comprend des premier et deuxième multiplexeurs (M1, M2) associés au bus d'entrée et au bus de sortie de chaque sélecteur pour assurer l'interconnexion sélective d'un bus d'entrée et du bus de sortie de chaque sélecteur.

9. Dispositif conforme à la revendication 8, caractérisé en ce que les multiplexeurs (M1, M2) sont commandés par des signaux produits par le réseau de logique combinatoire et conservés dans le registre.

5 10. Dispositif conforme à l'une quelconque des revendications 7 à 9, caractérisé en ce que le registre (5) contient des informations d'état relatives aux bus en erreur détectés et aux incohérences d'observations des sélecteurs.

10 11. Dispositif conforme à l'ensemble des revendications 3 et 7, caractérisé en ce que les moyens de sélection du sens de circulation des données dans les bus connectés aux sélecteurs sont commandés par des informations élaborées par le réseau de logique combinatoire (4) et transférées  
15 dans le registre (5).

1-3

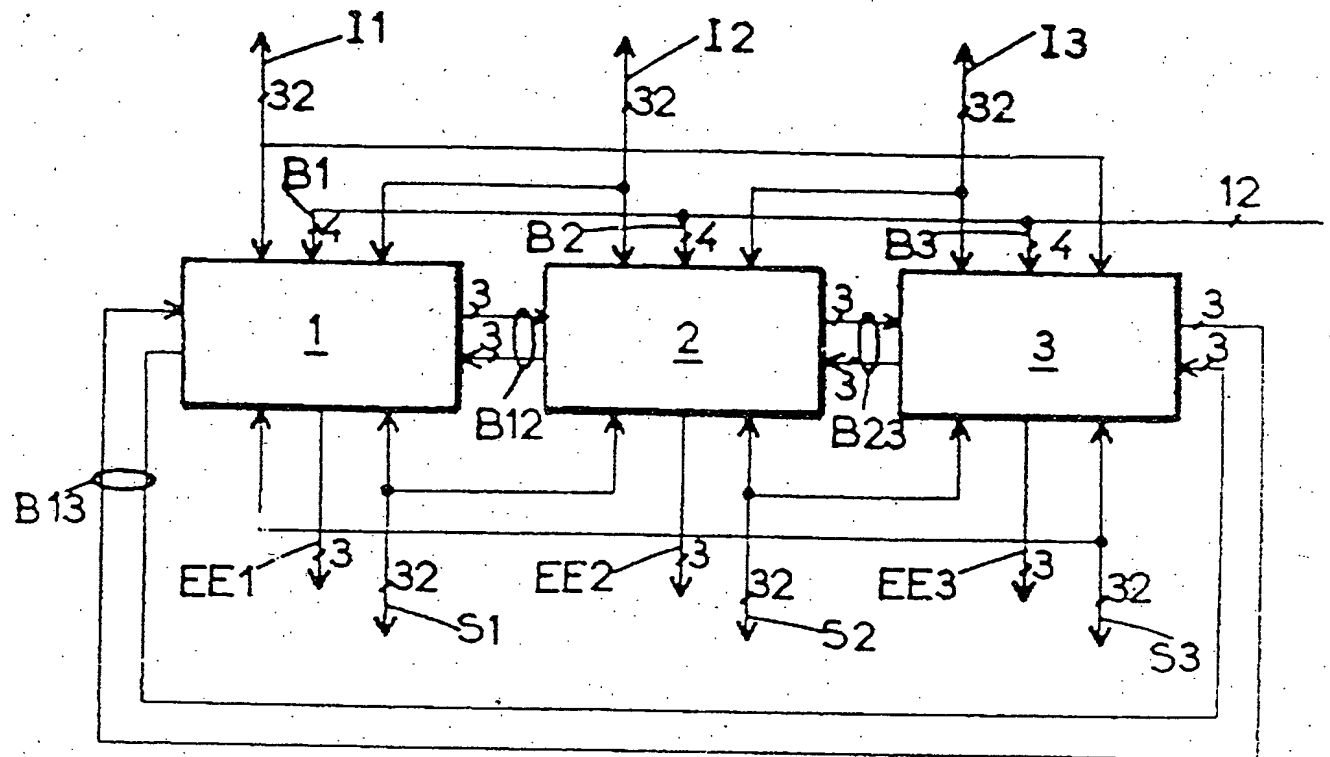
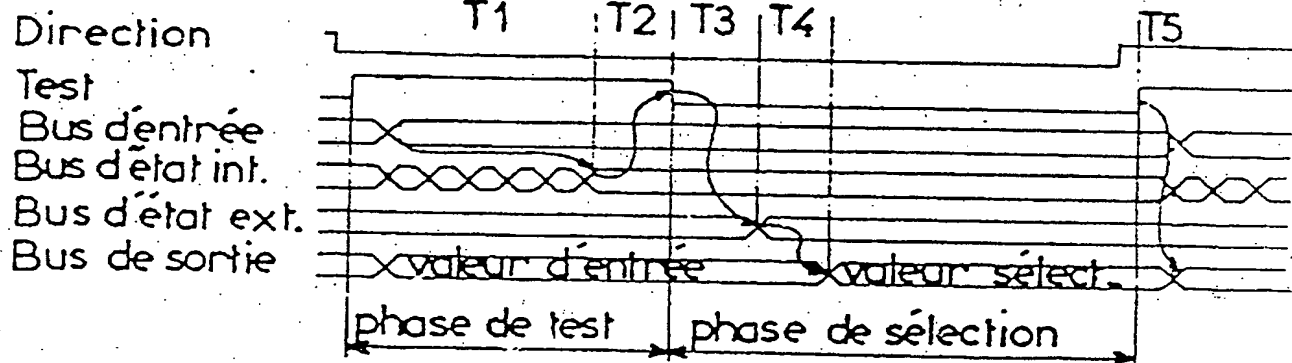


FIG.:1

FIG.:4



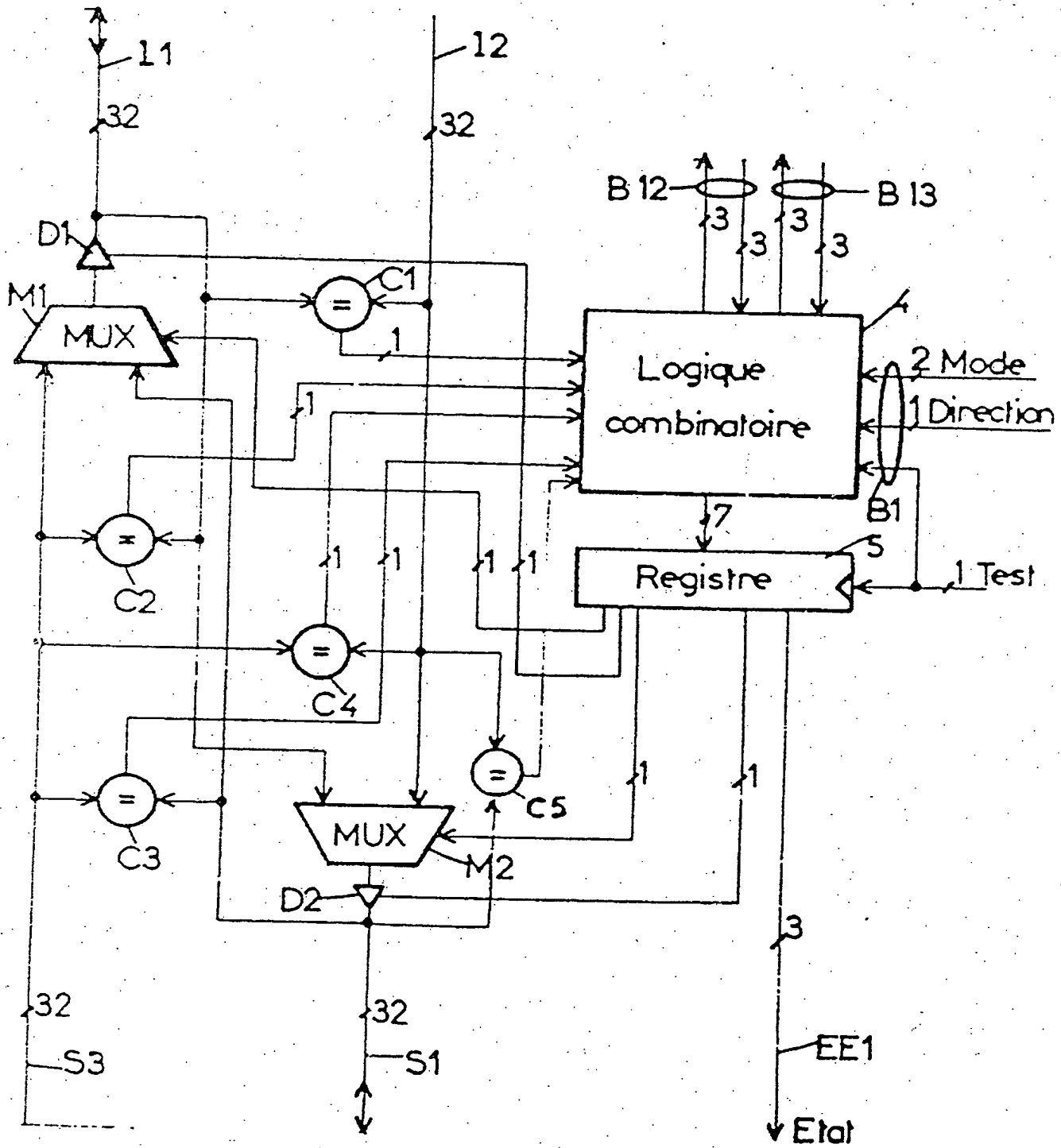


FIG.: 2

État des bus en phase test						Bus sélectionné par sélecteur			Bus en erreur			Sélecteur en erreur			Nbre d'en-	Ction d'en-
11	12	13	S1	S2	S3	1	2	3	11	12	13	1	2	3		
V	V	V	V	V	V	11	12	13						X	0	0
V	V	V	V	V	V	11	12	13					X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X	1	0
V	V	V	V	V	V	11	12	13				X	X	X	2	0
V	V	V	V	V	V	11	12	13				X	X	X	3	0
V	V	V	V	V	V	11	12	13				X	X	X		

FIG.:3

**Device for detecting and correcting data errors for a triple two-way parallel transmission bus**

Patent Number: FR2636151  
Publication date: 1990-03-09  
Inventor(s): PETROLI JEAN-PAUL  
Applicant(s): THOMSON CSF (FR)  
Requested Patent: ☐ FR2636151  
Application Number: FR19880011496 19880902  
Priority Number(s): FR19880011496 19880902  
IPC Classification: G06F11/16  
EC Classification: G06F11/18, G06F11/267C  
Equivalents:

---

**Abstract**

---

The device comprises three selectors or "voters" 1, 2, 3 connected respectively to buses I1, I2, I3 and designed for determining the data item to be reproduced on buses S1, S2, S3 respectively. In order to do this each selector is further connected to an input bus of one of the other two selectors and to the output bus of the other of these two selectors. The assembly I1, I2, I3 constitutes the triplicated redundant bus to be monitored. Internal status buses B12, B13 and B23 allow the selectors to exchange the results of comparisons of the data on the input buses and on the external output bus to which they are connected in order to determine that one of the input buses whose data item will be transferred to

the output bus attached to the selector. Application to a bidirectional triplicated redundant bus. 

---

Data supplied from the esp@cenet database - I2